

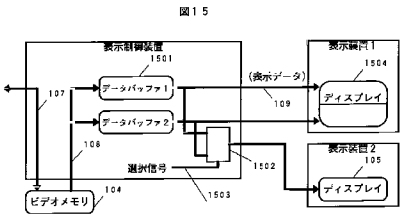
Abstract of **JP11272248**

**PROBLEM TO BE SOLVED:** To provide a display controller for an information processing device having a plurality of display devices, capable of transferring display data to the display devices at low cost and low power consumption. **SOLUTION:** The speeds of data transfer to a plurality of display devices via a data bus 109 are made equal by limiting the ratio of display frame frequencies among the plurality of display devices, and display data outputs from a plurality of data buffers 1501 built into the display devices are shared by the display devices 1, 2 to eliminate the need for providing independent data buffers.

|                               |      |       |  |       |         |
|-------------------------------|------|-------|--|-------|---------|
| (51)Int.Cl. <sup>8</sup>      |      | 識別記号  | F I  |       |         |
| G 0 9 G                       | 5/00 | 5 1 0 | C 0 9 G  | 5/00  | 5 1 0 V |
| G 0 6 T                       | 1/00 |       |  | 5/06  |         |
| G 0 9 G                       | 5/06 |       |  | 5/18  |         |
|                               | 5/18 |       |  | 5/36  | 5 2 0 A |
|                               | 5/36 | 5 2 0 | C 0 6 F  | 15/66 | 3 1 0   |
| 審査請求 未請求 請求項の数10 O L (全 14 頁) |      |       |  |       |         |
| (21)出願番号 特願平10-69735          |      |       | (71)出願人 000005108<br>株式会社日立製作所<br>東京都千代田区神田護国台四丁目6番地             |       |         |
| (22)出願日 平成10年(1998)3月19日      |      |       | (71)出願人 000153476<br>株式会社日立マイクロソフトウェアシステムズ<br>神奈川県横浜市戸塚区吉田町292番地 |       |         |
|                               |      |       | (72)発明者 大和田 徹<br>神奈川県川崎市麻生区王禅寺1099番地株式会社日立製作所システム開発研究所内          |       |         |
|                               |      |       | (74)代理人 弁理士 小川 勝男  |       |         |
|                               |      |       | 最終頁に続く   |       |         |

(54)【発明の名称】 情報処理装置

(57)【要約】  
【課題】複数の表示装置を備えた情報処理装置の表示制御装置において、低コスト、低消費電力で表示データを表示装置に転送することのできる表示制御装置を提供する。  
【解決手段】複数の表示装置間の表示フレーム周波数比を限定することで、複数の表示装置に対するデータバス109を介してのデータ転送速度を同一にし、表示装置に内蔵された複数のデータバッファ1501からの表示データ出力を表示装置1,2間で共有することにより、独立したデータバッファの具備を不要にする。



## 【特許請求の範囲】

【請求項1】演算処理などを行なう中央演算処理装置と、表示データの再生処理を行なう表示制御装置と、表示データを保管する表示データ記憶装置とを、少なくとも具備する情報処理装置であって、上記中央演算処理装置及び表示制御装置は、表示データとして特定の色データに対応した色番号データを、上記表示データ記憶装置に対して書き込み又読み出す機構を備え、上記表示制御装置は、複数の表示装置に対して表示を行なう表示制御機構を備え、又、複数の表示装置に各々対応した、複数の色番号データを色データに変換する機構を備えることを特徴とした情報処理装置。

【請求項2】請求項1記載の情報処理装置であって、上記表示制御装置は、上記複数備える色番号データを色データに変換する機構のうち、少なくとも一つが色番号データをRGBなどのカラーデータへの変換を行なう機構を備え、又少なくとも一つがモノクロの階調データへの変換を行う機構を備えることを特徴とした情報処理装置。

【請求項3】請求項2記載の情報処理装置であって、上記表示制御装置は、上記複数備える色番号データを色データに変換する機構において、取り扱うRGBなどのカラーデータから算出される輝度順にモノクロの階調データを割り当てる機構を備えることを特徴とした情報処理装置。

【請求項4】請求項1、2、又は3のいずれか1項記載の情報処理装置であって、上記表示制御装置は、上記複数備える色番号データを色データに変換する機構の、色番号データと色データとの対照を変更する機構を備え、複数の色番号データを色データに変換する機構の、ある色番号に対する複数の色データを同時に変更する機構を備えることを特徴とした情報処理装置。

【請求項5】演算処理などを行なう中央演算処理装置と、表示データの再生処理を行なう表示制御装置と、表示データを保管する表示データ記憶装置とを、少なくとも具備する情報処理装置であって、上記中央演算処理装置及び表示制御装置は、表示データとして色データを、上記表示データ記憶装置に対して書き込み又読み出す機構を備え、上記表示制御装置は、複数の表示装置に対して表示を行なう表示制御機構を備え、又、複数の表示装置のうち少なくとも1つに対しては、上記色データを表示データとして出力し、又、色データを色番号データとして扱い、色データに変換する機構を備え、複数の表示装置のうち少なくとも1つに対しては、上記変換された色データを表示データとして出力する機構を備えることを特徴とした情報処理装置。

【請求項6】請求項5記載の情報処理装置であって、上記中央演算処理装置及び表示制御装置が上記表示データ記憶装置に対して書き込み又読み出す色データの表現可能数が、上記色データを色番号データとして扱い、変換

された色データの表現可能数よりも大きく、上記表示制御装置は、複数の上記中央演算処理装置及び表示制御装置が上記表示データ記憶装置に対して書き込み又読み出す色データを一つの上記色データを色番号データとして扱い、変換された色データに対して割り当てる機構を備えることを特徴とした情報処理装置。

【請求項7】演算処理などを行なう中央演算処理装置と、表示データの再生処理を行なう表示制御装置と、表示データを保管する表示データ記憶装置とを、少なくとも具備する情報処理装置であって、上記表示制御装置は、複数の表示装置に対して表示を行なう表示制御機構を備え、又、複数の表示データ時記憶装置を備え、複数の表示装置は、同一表示解像度、同一表示色数で同一の表示内容の表示データを表示し、複数の表示装置のうち少なくとも一つは、複数画面駆動のディスプレイであり、複数画面駆動のディスプレイを具備する表示装置の表示フレーム周波数を他の表示装置の表示フレーム周波数の2倍とし、上記表示制御装置は、複数画面駆動のディスプレイを具備する表示装置を構成する各画面には、複数の表示データ時記憶装置から表示データを供給する機構を有し、又、他の表示装置に対しては、複数の表示データ時記憶装置からどれか一つを選択して表示データを供給する機構を有することを特徴とした情報処理装置。

【請求項8】請求項7記載の情報処理装置であって、上記表示制御装置は、上記複数の表示データ時記憶装置からどれか一つを選択して表示データを供給するための選択信号として、複数画面駆動のディスプレイを具備する表示装置の垂直表示同期信号を用いることを特徴とした情報処理装置。

【請求項9】演算処理などを行なう中央演算処理装置と、表示データの再生処理を行なう表示制御装置と、表示データを保管する表示データ記憶装置とを、少なくとも具備する情報処理装置であって、上記表示制御装置は、複数の表示装置に対して表示を行なう表示制御機構を備え、又、複数の表示データ時記憶装置を備え、複数の表示装置は、同一表示解像度、同一表示色数で同一の表示内容の表示データを表示し、複数の表示装置のうち少なくとも一つは、複数画面駆動のディスプレイであり、複数画面駆動のディスプレイを具備する表示装置の表示フレーム周波数を他の表示装置の表示フレーム周波数の2倍とし、上記表示制御装置は、複数画面駆動のディスプレイを具備する表示装置を構成する各画面に、唯一の表示データ時記憶装置から表示データを供給する機構を有し、上記表示データ時記憶装置への表示データの書き込み速度を上記表示装置へのデータ転送速度の2倍とする機構を有し、又、他の表示装置に対しては、上記表示データ時記憶装置とは別個の唯一の表示データ時記憶装置から表示データを供給する機構を有することを特徴とした情報処理装置。

【請求項10】演算処理などを行なう中央演算処理装置と、表示データの再生処理を行なう表示制御装置と、表示データを保管する表示データ記憶装置とを、少なくとも具備する情報処理装置であって、上記表示制御装置は、複数の表示装置に対して表示を行なう表示制御機構を備え、又、複数の表示データ時記憶装置を備え、複数の表示装置は、同一表示解像度、同一表示色数で同一の表示内容の表示データを表示し、全ての表示装置は、複数画面駆動のディスプレイであり、複数画面駆動のディスプレイを具備する表示装置の表示フレーム周波数を他の表示装置の表示フレーム周波数の2倍とし、上記表示制御装置は、複数画面駆動のディスプレイを具備する表示装置を構成する各画面に、唯一の表示データ時記憶装置から表示データを供給する機構を有し、上記表示データ時記憶装置への表示データの書き込み速度を上記表示装置へのデータ転送速度の2倍とする機構を有することを特徴とした情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、PCなどの情報処理装置に関し、特に表示するデータを表示装置に対して出力する表示制御装置に関する。

【0002】

【従来の技術】従来の、PCなどの情報処理装置における表示制御装置として、例えば、日経BP社刊最新パソコン技術大系'95(日経バイト編1995年発行)、88ページ記載の装置がある。以下、開示されている装置について、図1から4を用いて説明する。

【0003】図1は、上記装置の概略構成図である。PCなどの情報処理装置のうち、表示処理に関する部分のみを示してある。

【0004】図中、符号101は情報処理装置の中央演算装置(以下、CPU)、102は制御命令及びデータを伝送するシステムバス、103は、CPU101の指示に従い表示データを生成する表示制御装置、104は、表示制御装置103から送られた表示データを保管するビデオメモリ、105は、表示データを表示するディスプレイである。106から109は各装置間を接続するデータ、制御信号用のバスである。

【0005】図2及び3は、表示制御装置103のより詳細な構成図である。201は、ビデオメモリ104から読み出されたパレットデータをRGBデータに変換するカラーパレット、202は、ディスプレイ105に対して、ビデオメモリ104から読み出された表示データをそのまま出力するのか、カラーパレット201を通して変換したRGBデータとして出力するのを選択するデータセレクトである。

【0006】CPU101は、表示データとして、ディスプレイ105が実際に表示に用いるRGBデータを用いることができる。この場合、データセレクト202

は、図2に示すように、ビデオメモリ104から読み出した表示データ(RGBデータ)は変換処理を施されことなく、データバス109を経由してディスプレイ105に出力され表示される。

【0007】これに対し、CPU101は、表示データとして、ディスプレイ105が実際に表示に用いるRGBデータではなく、カラーパレット201で変換される色番号(パレットデータ)を用いることができる。この場合、データセレクト202は、図3に示すように、ビデオメモリ104から読み出した表示データ(パレットデータ)はカラーパレット202でRGBデータに変換され、データバス109を経由してディスプレイ105に出力され表示される。

【0008】図4に、カラーパレット構成の一例を示す。入力するパレットデータ幅としてnbit、出力するRGBデータの幅としてR、G、B各mbitをとるようなカラーパレット構成の場合、表示装置に対して同時出力可能な色は、 $2^n(3m)$ 色中 $2^n$ 色となる。

【0009】

【発明が解決しようとする課題】前述した従来の表示制御装置を持つ情報処理装置によれば、表示装置上に任意のデータを表示することができる。近年、PCなどの情報処理装置で扱う情報量の増加に伴い、表示装置の大型、高精細化が求められている。その要求に対する一つの解として表示装置の複数化が考えられる。しかし、表示装置を複数化することで、その表示データを処理する表示制御装置の構成が複雑化し、単数の表示装置を持つ情報処理装置に対して製造コスト、消費電力が増大することが考えられる。

【0010】そこで、本発明の目的は、複数の表示装置を備えた情報処理装置の表示制御装置において、低コスト、低消費電力で表示データを表示装置に転送することのできる表示制御装置を提供することにある。

【0011】又、表示装置を複数化することで、表示色数の異なる複数のディスプレイに対して表示を行なう要求が生じる。これに対して、本発明の目的は、低コストで表示色数の異なる複数のディスプレイに対して表示を行なうことの可能な表示制御装置を提供することにある。

【0012】

【課題を解決するための手段】上記目的を達成するために、本発明は、第1の態様として、演算処理などを行なう中央演算処理装置と、表示データの再生処理を行なう表示制御装置と、表示データを保管する表示データ記憶装置とを、少なくとも具備する情報処理装置であって、上記中央演算処理装置及び表示制御装置は、表示データとして特定の色データに対応した色番号データを、上記表示データ記憶装置に対して書き込み又読み出す機構を備え、上記表示制御装置は、複数の表示装置に対して表示を行なう表示制御機構を備え、又、複数の表示装置に

各々対応した、複数の色番号データを色データに変換する機構を備えることを特徴とした情報処理装置を提供している。

【0013】又、本発明は、第2の態様として、第1の態様において、上記表示制御装置は、上記複数備える色番号データを色データに変換する機構のうち、少なくとも一つが色番号データをRGBなどのカラーデータへの変換を行なう機構を備え、又少なくとも一つがモノクロの階調データへの変換を行う機構を備えることを特徴とした情報処理装置を提供している。

【0014】又、本発明は、第3の態様として、演算処理などを行なう中央演算処理装置と、表示データの再生処理を行なう表示制御装置と、表示データを保管する表示データ記憶装置とを、少なくとも具備する情報処理装置であって、上記中央演算処理装置及び表示制御装置は、表示データとして色データを、上記表示データ記憶装置に対して書き込み又読み出す機構を備え、上記表示制御装置は、複数の表示装置に対して表示を行なう表示制御機構を備え、又、複数の表示装置のうち少なくとも一つに対しては、上記色データを表示データとして出力し、又、色データを色番号データとして扱い、色データに変換する機構を備え、複数の表示装置のうち少なくとも一つに対しては、上記変換された色データを表示データとして出力する機構を備えることを特徴とした情報処理装置を提供している。

【0015】又、本発明は、第4の態様として、演算処理などを行なう中央演算処理装置と、表示データの再生処理を行なう表示制御装置と、表示データを保管する表示データ記憶装置とを、少なくとも具備する情報処理装置であって、上記表示制御装置は、複数の表示装置に対して表示を行なう表示制御機構を備え、又、複数の表示データー時記憶装置を備え、複数の表示装置は、同一表示解像度、同一表示色数で同一の表示内容の表示データを表示し、複数の表示装置のうち少なくとも一つは、複数画面駆動のディスプレイであり、複数画面駆動のディスプレイを具備する表示装置の表示フレーム周波数を他の表示装置の表示フレーム周波数の2倍とし、上記表示制御装置は、複数画面駆動のディスプレイを具備する表示装置を構成する各画面には、複数の表示データー時記憶装置から表示データを供給する機構を有し、又、他の表示装置に対しては、複数の表示データー時記憶装置からどれか一つを選択して表示データを供給する機構を有することを特徴とした情報処理装置を提供している。

【0016】又、本発明は、第5の態様として、演算処理などを行なう中央演算処理装置と、表示データの再生処理を行なう表示制御装置と、表示データを保管する表示データ記憶装置とを、少なくとも具備する情報処理装置であって、上記表示制御装置は、複数の表示装置に対して表示を行なう表示制御機構を備え、又、複数の表示データー時記憶装置を備え、複数の表示装置は、同一表

示解像度、同一表示色数で同一の表示内容の表示データを表示し、複数の表示装置のうち少なくとも一つは、複数画面駆動のディスプレイであり、複数画面駆動のディスプレイを具備する表示装置の表示フレーム周波数を他の表示装置の表示フレーム周波数の2倍とし、上記表示制御装置は、複数画面駆動のディスプレイを具備する表示装置を構成する各画面に、唯一の表示データー時記憶装置から表示データを供給する機構を有し、上記表示データー時記憶装置への表示データの書き込み速度を上記表示装置へのデータ転送速度の2倍とする機構を有し、又、他の表示装置に対しては、上記表示データー時記憶装置とは別個の唯一の表示データー時記憶装置から表示データを供給する機構を有することを特徴とした情報処理装置を提供している。

【0017】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0018】(第1の実施形態)まず、本発明の第1の実施形態について、図5から図11を用いて説明する。

【0019】図5、6、7、10、11は本実施例に係る表示制御装置のハードウェア構成の簡単なブロック図、図8は本実施例に係る表示制御装置のカラーパレットの模式図、図9は本実施例に係る表示制御装置のカラーパレットにおけるデータ処理方法を示すフローチャートの一例である。

【0020】図5、6、7を用いて本実施例のハードウェア構成を簡単に説明する。図5は、本実施例における情報処理装置の概略構成図である。PCなどの情報処理装置のうち、表示処理に関する部分のみを示してある。図中、符号101は情報処理装置の中央演算装置(以下、CPU)、102は制御命令及びデータを伝送するシステムバス、103は、CPU101の指示に従い表示データを生成する表示制御装置、104は、表示制御装置103から送られた表示データを保管するビデオメモリ、105は、表示データを表示するディスプレイである。本実施例に係る情報処理装置は、ディスプレイ105を各々一個搭載した複数の表示装置1、2を有している。106から109は各装置間を接続するデータ、制御信号用のバスである。

【0021】図6は、表示制御装置103のより詳細な構成図である。本実施例の情報処理装置のCPU101は、表示データとしてパレットデータを扱う。従って、ビデオメモリ104に書き込まれ又読み出される表示データはパレットデータである。

【0022】601は、ビデオメモリ104から読み出されたパレットデータをRGBデータに変換するカラーパレットであり、本実施例では、A、Bの複数のカラーパレットを有する。

【0023】602は、表示装置1、2に対して、カラーパレットA、Bのどちらを通して変換したRGBデー

タとして出力するのを選択するデータセクタである。

【0024】図7は、本実施例に係る表示制御装置のカラーパレット601を示す概略構成図である。パレットデータ、色データのビット幅を図4に示すように、各々、 $n$ ビット、 $3m$ ビットとしてカラーパレットの動作を説明する。カラーパレット601は基本的には、入力するパレットデータを選択信号として色データを選択し出力するセクタである。色データを保持するデータラッチ機構を持ち、更に色データ更新用の構成を持ってもよい。固定パレットの場合には、データ更新用の構成は不要である。

【0025】カラーパレット601は、大別して、データラッチ701からなる色データ記憶部と、デコーダ702とデータセクタ703からなる色データ選択部とからなる。カラーパレットは、パレットデータ幅である $n$ 個のデータラッチ701を有する。又、各々のデータラッチ701は、それぞれ $3m$ ビットの色データ出力を有する。ビデオメモリ104から読み出されたパレットデータはデコーダ702によって、しかるべきデータラッチ701出力を選択する色データ選択信号に変換される。該色データ選択信号はデータセクタ703に入力し、 $n$ 個のデータラッチ701から出力している色データのうち、一種類が選択されデータセクタ703から $3m$ ビットの色データが、データバス109に対して出力する。

【0026】このカラーパレットは $2^n(3m)$ 色中 $2^n$ 色の同時出力が可能である。あるパレット番号に対応するデータラッチ701が出力する色データを任意に変化させることによって、あるパレット番号の選択で出力される色データを任意に変化させることが可能である。ここでは色データ記憶部としてデータラッチを用いる構成を示したが、必ずしもこの構成に限る訳ではなく、データ記憶にRAM、ROMなどのメモリーを使用してもよい。

【0027】図8に、本実施例におけるカラーパレットA、Bの構成の一例を示す。入力するパレットデータ幅として $n$ ビット、出力するRGBデータの幅としてカラーパレットAは、R、G、B各 $m$ ビット、カラーパレットBは、R、G、B各 $1$ ビットをとるようなカラーパレット構成の場合、同時出力可能な色は、表示装置1に対して $2^n(3m)$ 色中 $2^n$ 色、表示装置2に対して $2^n(31)$ 色中 $2^n$ 色となる。図6に示すように、データセクタ602によってカラーパレットAの出力する色データは表示装置1のディスプレイ105へ、カラーパレットBの出力する色データは表示装置2のディスプレイ105へと各々入力する。

【0028】このように、表示制御装置108中に、複数の表示装置に各々対応する複数のカラーパレットを設けることで、CPU101の扱う同一の表示データ(パ

レットデータ)に対して、表示装置各々に異なった色データの出力を行なうことが可能となる。ここでは、カラーパレットA、Bの持つ色データ幅が各々R、G、B  $m$ ビット、 $1$ ビットとしたが、必ずしもこの構成に限る訳ではなく、R、G、Bの各色に対して各々異なったビット幅の色データを割り当ててもよい。又、 $m=1$ であっても $m<>1$ であってもよい。

【0029】次に、図9を用いて、カラーパレット601への色データの設定方法を説明する。前述のように色データ記憶部は $n$ ビット個の色データエントリーを有している。変数 $p$ 、 $q$ は、色データエントリー数である $n$ に対して、 $0 \leq p < n$ 、 $0 \leq q < n$ の関係を満たす必要がある。色データを設定するには、まず設定すべきカラーパレットの番号を指定する。その番号に対し、任意の色データを出力しデータラッチ701に記憶することで、ある番号のカラーパレットの色データを変更することが可能となる。次に次の処理対象となるカラーパレット番号を指定し、同様の処理を繰り返す。 $p=0$ 、 $q=n$ とすることで全てのカラーパレットの色データを変更することが可能であり、 $0 \leq p < n$ 、 $0 \leq q < n$ を満たす任意の $p$ 、 $q$ を選択することで、任意のカラーパレットの色データを変更することが可能である。

【0030】ここでは、複数のカラーパレットA、Bに対して同時に色データを設定する場合を示したが、各々のカラーパレットに対して独立に色データの設定を行なう構成とし、カラーパレットAの設定後に、カラーパレットBの設定を行なうというように、複数回の独立した処理によってカラーパレットの設定を行なってもよい。

【0031】本実施例に係る表示制御装置では、単一の表示データ(パレットデータ)から、各々異なる色数を表示する複数の表示装置に対して、適切な表示データを作成し出力、表示が可能である。従来技術では、カラー表示用、モノクロ表示用の表示データを別個ビデオメモリーに用意しなければならなかったのを、カラーパレットを複数用意することで、ビデオメモリー内には、唯一の表示データ(パレットデータ)を用意するだけで、各々異なる色数を表示する複数の表示装置に対して、適切な表示データの出力が可能となる。

【0032】尚、本実施例では図6において、表示制御装置103中にデータセクタ602を配置する構成を示したが、必ずしもこの構成に限る訳ではなく、情報処理装置と表示装置を含むシステム内に実装されていけばよい。

【0033】図6には、本実施例に係る表示制御装置において、複数の表示装置に対して複数のカラーパレットを用いて異なった色データを表示する場合を示したが、本実施例に係る表示制御装置は、必ずしもこのような形態の表示出力のみを行なうものではない。例えば、図10に示すように、データセクタ602の切り換えにより、単一の表示装置1に対し、一種類の色データによる

表示出力のみを行なうことができる。又、図11に示すように、データセクタ602の切り換えにより、単一のカラーパレットAからの色データ出力を複数の表示装置1及び2に対して出力することで、同一の表示データ(パレットデータ)に対して、同一の色データ表示を行なうことができる。

【0034】(第2の実施形態)次に、本発明の第2の実施形態について、図5、6、12を用いて説明する。図5、6は本実施例に係る表示制御装置のハードウェア構成の簡単なブロック図、図12は本実施例に係る表示制御装置のカラーパレットの模式図である。本実施例における情報処理装置の概略構成は、図5に示す第1の実施形態と同様である。又、図5における表示制御装置103の詳細構成も、図6に示す第1の実施形態と同様である。

【0035】図12は、本実施例に係る表示制御装置のカラーパレット601を示す概略構成図である。カラーパレットAは、R、G、Bの各色に対して各々mbitの色データ幅を持ち、2<sup>n</sup>(3m)色の選択の幅がある。それに対し、カラーパレットBは1bitの色データ幅をもち、2<sup>n</sup>1階調の選択の幅がある。すなわち、カラーパレットAからの出力は2<sup>n</sup>(3m)色中2<sup>n</sup>m色の色データであり、カラーパレットBからの出力は2<sup>n</sup>1階調中2<sup>n</sup>m階調のモノクロ階調データである。

【0036】本実施例に係る表示制御装置によって、単一の表示データ(パレットデータ)から複数の表示装置1、2に対して同時にカラー、モノクロの表示データ出力が可能となる。

【0037】尚、第1の実施形態と同様、本実施例に係る表示制御装置は、必ずしもこのような形態の表示出力のみを行なうものではない。データセクタ602の切り換えにより、単一の表示装置に対してカラー又はモノクロのデータを表示したり、複数の表示装置に対して同一のパレットデータによるカラー表示、又はモノクロ表示を行なうことができる。

【0038】(第3の実施形態)次に、本発明の第3の実施形態について、図5、13、14を用いて説明する。図5、13は本実施例に係る表示制御装置のハードウェア構成の簡単なブロック図、図14は本実施例に係る表示制御装置のカラーパレットの模式図である。本実施例における情報処理装置の概略構成は、図5に示す第1の実施形態と同様である。図13は、本実施例に係る表示制御装置103の詳細な構成図である。

【0039】本実施例の情報処理装置のCPU101は、表示データとしてR、G、Bの色データを扱う。従って、ビデオメモリ104に書き込まれ又読み出される表示データは色データである。1301は、ビデオメモリ104から読み出された色データを他の色データに変換するカラーパレットである。本実施例では、一個のカラーパレットを有する。1302は、表示装置1、2に

対して、ビデオメモリ104から読み出したRGBデータを出力するのか、カラーパレットAを通して変換したRGBデータを出力するのを選択するデータセクタである。

【0040】図14は、本実施例に係る表示制御装置のカラーパレット1301を示す概略構成図である。ビデオメモリ104から読み出される色データはnbitの色データ幅を持つとする。カラーパレットはこのnbitの色データをパレットデータとして入力する。これに対し出力側は、1bitの色データ幅をもち、2<sup>n</sup>1階調の選択の幅がある。すなわち、カラーパレットAからの出力は2<sup>n</sup>1階調中2<sup>n</sup>n階調のモノクロ階調データである。

【0041】本実施例に係る表示制御装置によって、単一の表示データ(色データ)から複数の表示装置1、2に対して同時にカラー、モノクロの表示データ出力が可能となる。尚、本実施例に係る表示制御装置のカラーパレットとして1bitの幅を持ち2<sup>n</sup>1階調を出力するモノクロパレットについて記述したが、必ずしもこの構成に限る訳ではなく、例えばR、G、B各mbitの幅を持つカラーパレットとし、2<sup>n</sup>n色の色データをパレットデータとして入力する、2<sup>n</sup>n色中2<sup>n</sup>(3m)色を出力するカラーパレットとしてもよい。

【0042】尚、第1、第2の実施形態と同様、本実施例に係る表示制御装置は、必ずしもこのような形態の表示出力のみを行なうものではない。データセクタ1302の切り換えにより、単一の表示装置に対してカラー又はモノクロのデータを表示したり、複数の表示装置に対して同一の色データによるカラー表示、又はモノクロ表示を行なうことができる。

【0043】尚、第2、第3の実施形態に示したように、該実施形態においては、カラーパレット601内の変換によって、パレットデータからモノクロの階調データを出力する場合がある。

【0044】ここでパレットデータ幅(又は、パレットデータとしてカラーパレットに入力する色データ幅)nbitと、モノクロパレットの階調幅1bitの対応について、n=1の場合、同時表示可能な色数2<sup>n</sup>n色と、階調数2<sup>n</sup>1階調は同一となるので、同時表示される全ての色は、各々必ず異なった階調として表現される。すなわち、カラーパレットのパレットデータエンタリー幅と、モノクロパレットの階調幅が一致する時、全ての同時表示色を異なった階調として表示可能である。

【0045】この際に、元となる色データの輝度を算出し、輝度順にカラーパレットの番号をつける。又、モノクロパレットも輝度順の配置とする。このパレット内のデータ配列により、自然画などの階調データを表示する場合、カラー表示、モノクロ表示共に自然な階調によって表現することが可能である。

【0046】次に、パレットデータ幅nbitと、モノ

クロバレットの階調幅  $1 \text{ bit}$  の対応について、 $n > 1$  の場合、カラーの表示装置に同時表示される色数よりも、モノクロ表示装置が表示できる階調数が少ないことになる。この場合、 $n/1$  種の色数を同一のモノクロ階調に対応づけることが必要になる。

【0047】又、色データを階調データに割り付ける他の方法として、元となる  $2^n$  種類の色を、R、G、Bのどの値がもっとも大きいかで3つのグループに分類する。例えば、Rグループを明階調、Gグループを中階調、Bグループを暗階調におおの  $n/3$  階調ずつ分類し、各々のグループ内で、各色の輝度順に階調に割り付けていく。この割付方法によれば、モノクロ画面においても、色による画面の区別を容易にすることが可能である。

【0048】(第4の実施形態)次に、本発明の第4の実施形態について、図5、15、16、17を用いて説明する。図5、15は本実施例に係る表示制御装置のハードウェア構成の簡単なブロック図、図16は本実施例に係る表示制御装置によって表示装置上に表示される表示データの模式図、図17は本実施例に係る表示制御装置の動作時の表示データと制御信号の出力波形の模式図である。

【0049】本実施例における情報処理装置の概略構成は、図5に示す第1の実施形態と同様である。図15は、本実施例に係る表示制御装置103の詳細な構成図である。

【0050】1501は、ビデオメモリ104から読み出した表示データを一時保持するデータバッファである。データバス107を介してCPU101がビデオメモリ104に表示データを書き込む速度は、CPU101の動作速度、システムバス102の動作速度に依存する。又、データバス109を介しての表示装置へのデータ転送速度は、ディスプレイ105、1504の表示解像度、表示色数、表示フレーム周波数等に依存する。従って、ビデオメモリ104へのデータ書き込み速度と、ディスプレイ105、1504が要求するデータ転送速度とが一致しない場合が生じる。

【0051】本実施例に係る表示制御装置では、この速度差を吸収するために、CPU101がビデオメモリ104に表示データを書き込む速度と同一の速度で、データバス108を介して表示データを、データバッファ1501にまず読み込む。読み込まれた表示データは、データバス109を介して改めて表示装置への転送に適した速度でデータバッファ1501から読み出され、表示装置に対して出力される。

【0052】本実施例に係る表示制御装置は図示するように、2つのデータバッファ1及び2を有する。1502は、データバッファ1又は2から出力される表示データを選択信号1503に基づいて選択し、表示装置2のディスプレイ105に対して出力するセレクトである。

1504は、例えば、DSTN-LCDのような複数画面駆動の液晶パネルを用いたディスプレイである。すなわち、本実施例の情報処理装置においては、複数画面駆動の液晶パネルを用いたディスプレイを搭載した表示装置1と、複数画面駆動ではない液晶パネルを用いたディスプレイを搭載した表示装置2とが接続されている。

【0053】次に、複数の表示装置1及び2の表示データについて図16を用いて説明する。表示装置1及び2は同一の表示解像度を有し、その解像度を、横  $o$  ドット  $\times$  縦  $2k$  ラインとする。表示装置1のディスプレイ1504を2画面駆動のパネルとし、上下共パネル共、縦  $k$  ラインとする。更に、表示装置2のディスプレイ105の表示フレーム周波数を  $p \text{ Hz}$  とした時に、表示装置1のディスプレイ1504の表示フレーム周波数を、ディスプレイ105の2倍の  $2p \text{ Hz}$  で駆動する。この時、データバス109のデータ転送速度(DR)は、表示装置1の場合、 $DR1 = o \cdot k \cdot 2p$  であり、表示装置2の場合、 $DR2 = o \cdot 2k \cdot p$  となる。すなわち、 $DR1 = DR2$  であり、表示装置1、2の要求するデータ転送速度は同一となる。

【0054】この時の表示データの出力波形は、図17に示ようになる。図17において、FLM1は、表示装置1の垂直同期信号、FLM2は、表示装置2の垂直同期信号、CL1は、水平同期信号、BUF1、2は各々データバッファ1、2から出力される表示データ、Selectは選択信号1502、DSP1U、1Lは、各々ディスプレイ1504に入力する表示データ、MCKは、データバス108を介してデータバッファ1、2にデータを書き込むための基本クロック、CL2は、データバス109を介して表示装置へのデータの転送クロックである。

【0055】前述したように、表示装置1の表示フレーム周波数を表示装置2の表示フレーム周波数の2倍とすることによって、表示装置1、2へのデータバス109を介してのデータ転送速度が同一となる。このことから、ある1水平期間にディスプレイ2が要求するデータは、データバッファ1又は2のどちらに存在することになる。これにより、複数の表示装置1、2に対して同一の表示データの表示が可能となる。又、表示装置2への入力データを選択するSelect信号は、表示装置1の垂直同期信号FLM1を分周することで容易に得ることが可能である。

【0056】表示装置1は、複数画面駆動のディスプレイ1504を具備していることから、ディスプレイ1504を構成する個々のディスプレイが、表示制御装置108から表示データを入力するためのデータバス109、引いてはデータバッファ1501を必要とする。すなわち、表示装置1に対して表示を行なうためには表示制御装置108内に複数のデータバッファ1501が必要となる。ここで、表示装置2が、本実施例で示した表



示解像度、表示色数、表示フレーム周波数の条件を満たさない場合、表示装置2用に別個の独立したデータバッファが必要となる。

【0057】本実施例の表示制御装置では、複数の表示装置における、ディスプレイの種類、表示解像度、表示色数、表示フレーム周波数に特定の条件を設けることで、複数の表示装置に対する表示を行なう場合に、表示装置1に対する表示に必要なデータバッファのみで、複数の表示装置に対して、同一の表示データの表示が可能となる。

【0058】(第5の実施形態)次に、本発明の第5の実施形態について、図5、16、18、19、20を用いて説明する。図5、18、20は本実施例に係る表示制御装置のハードウェア構成の簡単なブロック図、図16は本実施例に係る表示制御装置によって表示装置上に表示される表示データの模式図、図19は本実施例に係る表示制御装置の動作時の表示データと制御信号の出力波形の模式図である。

【0059】本実施例における情報処理装置の概略構成は、図5に示す第1の実施形態と同様である。図18は、本実施例に係る表示制御装置103の詳細な構成図である。本実施例の表示制御装置には第4の実施形態と同様、複数の表示装置1、2が接続され、その内表示装置1は、複数画面駆動のディスプレイ1504を具備している。データバッファ1501は、第4の実施形態と同様の目的から具備する。1801、1802はデータバッファ1501のデータ入出力経路を選択するデータセクタ、1803はデータセクタを制御する選択信号である。

【0060】複数の表示装置1及び2の表示データの表示解像度、表示色数の条件は、第4の実施形態と同様であり、その模式図を図16に示す。又、表示装置2のディスプレイ105の表示フレーム周波数をpHz、表示装置1のディスプレイ1504の表示フレーム周波数を2pHzとする。

【0061】本実施例の表示制御装置108の動作を、タイミングチャート図19を用いて説明する。図中、FLM1、2、CL1、BUF1、2、DSP1U、1L、CL2は、図17と同様である。Selectは選択信号1803である。1水平期間中に、表示装置1、2が必要とする表示データは、各々DSP1U、1L、2に示してある。複数画面駆動の表示装置である表示装置1に対して、一つのデータバッファ1のみで、必要な表示データを供給するためには、ビデオメモリ104からのデータ読み出しクロックMCKをCL2の2倍とすればよい。データバッファ1501からデータセクタ1801へ同様にMCKでデータを転送し、データセクタ1801から表示装置1へのデータ転送にはMCKの半分の速度であるCL2でデータを転送する。

【0062】データバッファ1501の構成に依存する

が、データセクタ1802によって、データバッファ1501にDSP1L、DSP2L用のデータを交互に読み込むようにデータを選択してからデータバッファ1501に保持する場合、データセクタ1801の動作は単純なシリアル/パラレル変換となる(図19<sup>㉓</sup>の波形)。又、データバッファ1802によるデータバッファ1501へのデータ書き込みが、データバッファ1501を大きく2分割するような連続書き込みの場合、データセクタ1801は、データバッファ1501内に二つの読み出し開始点を持ち並行読み出しを行なう必要がある(図19<sup>㉔</sup>の波形)。

【0063】尚、図19では、MCKがCL2の2倍の周波数であるとして、該表示制御装置の動作を説明したが、必ずしもこの関係に限る訳ではない。表示装置2に対する表示に限って言えば、MCK=CL2のデータ転送速度で十分であり、データバッファ1用、データバッファ2用の2種類のMCKを用いてもよい(図19<sup>㉕</sup>の波形)。又、ここで本質的に問題となるのは、データ転送クロックの周波数ではなく、データ転送速度である。従って、例えば、MCK=CL2としながらも、ビデオメモリ104からデータバッファ1501へのデータ読み出し頻度を2倍とすることでデータ転送速度を2倍とし、同様な動作結果を得ることが可能である。

【0064】尚、図18には、表示装置1のみが、複数画面駆動のディスプレイを用いた表示装置の場合を示したが、必ずしもこの構成に限る訳ではない。図20には、複数の表示装置が共に複数画面駆動のディスプレイを具備している場合を示した。この場合、表示制御装置103中の2つのデータバッファ1501の各々にデータセクタ1801、1802を設けることで、それぞれのデータバッファから、複数画面駆動のディスプレイ1504を具備した表示装置への表示が可能となる。

【0065】以上、本実施例の表示制御装置では、複数の表示装置における、ディスプレイの種類、表示解像度、表示色数、表示フレーム周波数に特定の条件を設け、又、表示制御装置中のデータバッファにデータセクタを具備することで、複数の表示装置に対する表示を行なう場合に、表示装置1に対する表示に必要なデータバッファのみで、複数の表示装置に対して、同一の表示データの表示が可能となる。

【0066】

【発明の効果】以上説明したように、本発明によれば、ビデオメモリ容量を増大することなしに異なった表示色をもった複数の表示装置に対して表示を行なうことができる、又、表示制御装置内のデータバッファ容量を増大することなしに複数画面駆動を行なう表示装置を含む複数の表示装置に対して表示を行なうことができる効果がある。

【図面の簡単な説明】

【図1】従来の情報処理装置における表示処理系のハー

ドウェア構成の簡単なブロック図。

【図2】従来の情報処理装置における表示制御装置のハードウェア構成の簡単なブロック図。

【図3】従来の情報処理装置における表示制御装置のハードウェア構成の簡単なブロック図。

【図4】従来の情報処理装置における表示制御装置のカラーパレットの簡単な構成図。

【図5】本発明の第1、第2、第3の実施形態に係る情報処理装置における表示処理系のハードウェア構成の簡単なブロック図。

【図6】本発明の第1、第2の実施形態に係る情報処理装置における表示制御装置のハードウェア構成の簡単なブロック図。

【図7】本発明の第1、第2、第3の実施形態に係る情報処理装置における表示制御装置のカラーパレットのハードウェア構成の簡単なブロック図。

【図8】本発明の第1の実施形態に係る情報処理装置における表示制御装置のカラーパレットの簡単な構成図。

【図9】本発明の第1の実施形態に係る情報処理装置における表示制御装置のカラーパレットの簡単な設定方法のフローチャート。

【図10】本発明の第1、第2の実施形態に係る情報処理装置における表示制御装置のハードウェア構成の簡単なブロック図。

【図11】本発明の第1、第2の実施形態に係る情報処理装置における表示制御装置のハードウェア構成の簡単なブロック図。

【図12】本発明の第2の実施形態に係る情報処理装置における表示制御装置のカラーパレットの簡単な構成図。

【図13】本発明の第3の実施形態に係る情報処理装置における表示制御装置のハードウェア構成の簡単なブロック図。

【図14】本発明の第3の実施形態に係る情報処理装置における表示制御装置のカラーパレットの簡単な構成図。

【図15】本発明の第4の実施形態に係る情報処理装置における表示制御装置のハードウェア構成の簡単なブロック図。

【図16】本発明の第4の実施形態に係る情報処理装置における表示制御装置が扱う表示データの一例を示す図。

【図17】本発明の第4の実施形態に係る情報処理装置における表示制御装置の出力波形の一例を示す図。

【図18】本発明の第5の実施形態に係る情報処理装置における表示制御装置のハードウェア構成の簡単なブロック図。

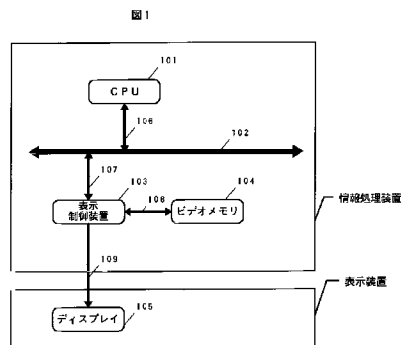
【図19】本発明の第5の実施形態に係る情報処理装置における表示制御装置の出力波形の一例を示す図。

【図20】本発明の第5の実施形態に係る情報処理装置における表示制御装置のハードウェア構成の簡単なブロック図。

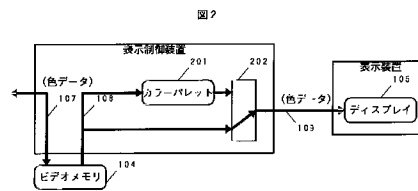
【符号の説明】

101…CPU、102…システムバス、103…表示制御装置、104…ビデオメモリ、105…ディスプレイ、106…データバス、107…データバス、108…データバス、109…データバス、201…カラーパレット、202…データセクタ、601…カラーパレット、602…データセクタ、701…データラッチ、702…デコーダ、703…データセクタ、1301…カラーパレット、1302…データセクタ、1501…データバッファ、1502…データセクタ、1503…選択信号、1504…複数画面駆動ディスプレイ、1801…データセクタ、1802…データセクタ、1803…選択信号。

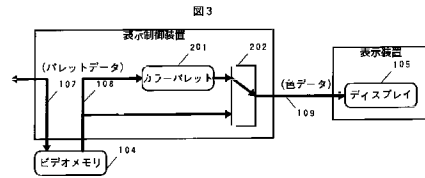
【図1】



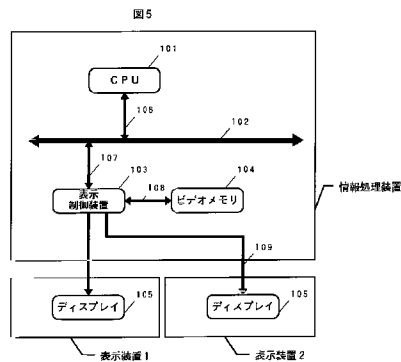
【図2】



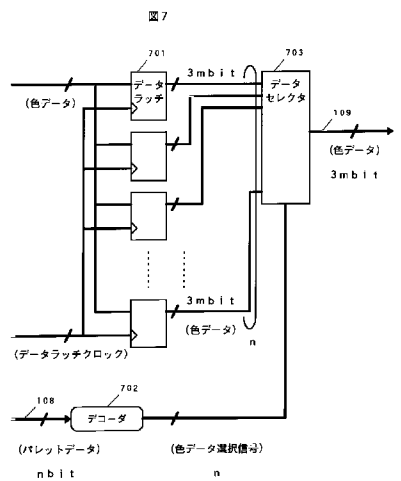
【図3】



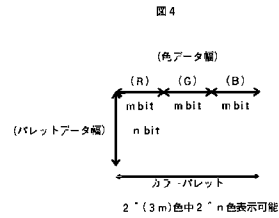
【図5】



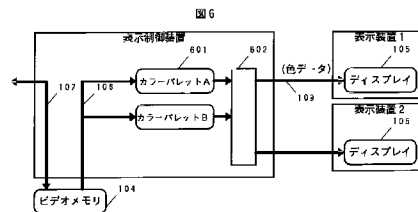
【図7】



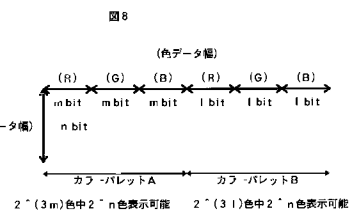
【図4】



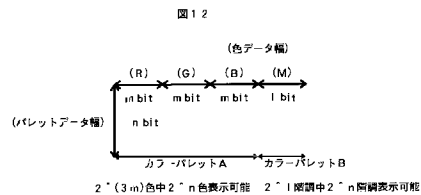
【図6】



【図8】

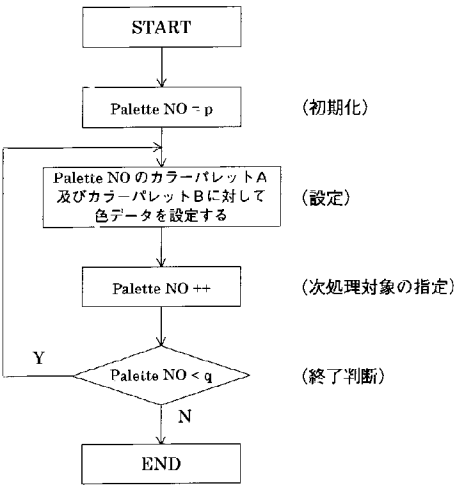


【図12】



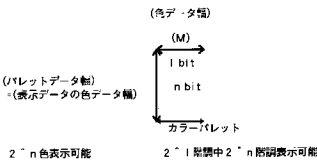
【図9】

図 9



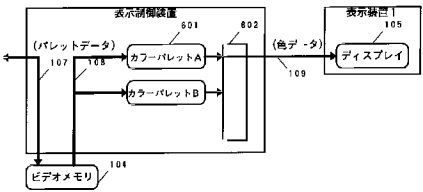
【図14】

図 1 4



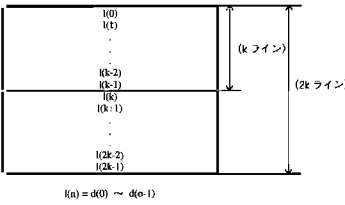
【図10】

図 1 0



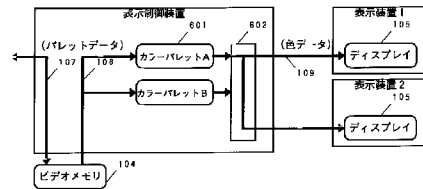
【図16】

図 1 6



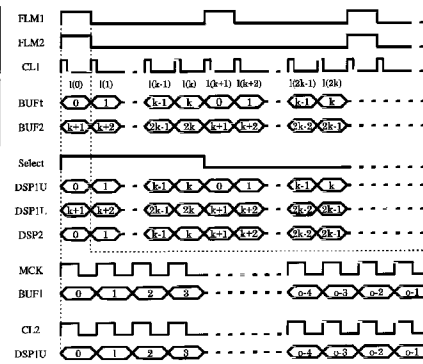
【図11】

図11



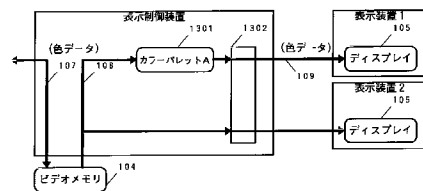
【図17】

図17



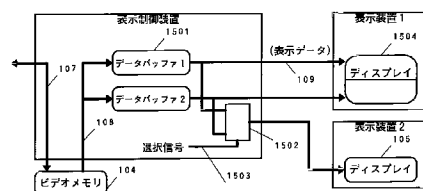
【図13】

図13



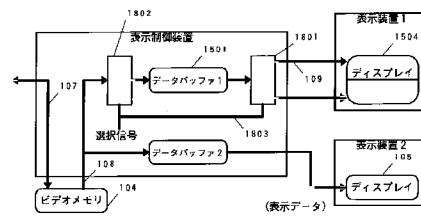
【図15】

図15



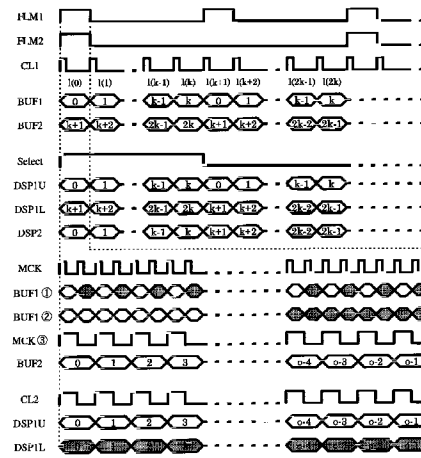
【図18】

図18

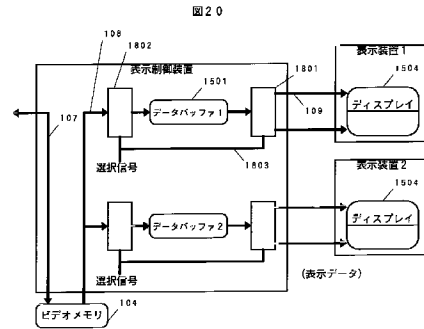


【図19】

図19



【図 20】



フロントページの続き

(72)発明者 滝田 功

神奈川県川崎市麻生区王禅寺1099番地株式  
会社日立製作所システム開発研究所内

(72)発明者 永井 靖

神奈川県川崎市麻生区王禅寺1099番地株式  
会社日立製作所システム開発研究所内

(72)発明者 高木 徹夫

神奈川県横浜市戸塚区吉田町292番地株式  
会社日立マイクロソフトウェアシステムズ  
内

(72)発明者 菊地 明

東京都小平市上水本町五丁目20番1号株式  
会社日立製作所半導体事業部内